

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 99-00493W01	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JPO1/01672	国際出願日 (日.月.年) 05.03.01	優先日 (日.月.年) 06.03.00
出願人(氏名又は名称) ローム株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int cl. H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int cl. H01L29/78, H01L27/04, H01L27/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1972年-1996年
日本国公開実用新案公報	1971年-2001年
日本国登録実用新案公報	1994年-2001年
日本国実用新案登録公報	1996年-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 10-144938, A (日本電気株式会社) 29. 5月. 1998 (29. 05. 98) 全文 (ファミリーなし)	1, 2, 4, 5 3, 6, 7
X Y	JP, 5-21721, A (日産自動車株式会社) 29. 1月. 1 993 (29. 01. 93) 段落番号【0003】【0018】 【0019】 (ファミリーなし)	1, 2, 4, 5 3, 6, 7
X A	JP, 58-84461, A (株式会社日立製作所) 20. 5月. 1983 (20. 05. 83) 全文 (ファミリーなし)	1, 4 2, 3, 5-7

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

25. 05. 01

国際調査報告の発送日

05.06.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 春香

印

4M

8934

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	EP, 729186, A (CONSORZIO PER LA RICERCA SULLA MICROELECTTRONICA NEL MEZZOGIORNO) 28. 8月. 1996 (28. 08. 96) 全文、第1図 & JP, 8-293606, A & DE, 69509494, C & EP, 780897, A & US, 5798554, A & WO, 99/059647, A & EP, 998311, A & US, 6111297, A	3
Y	US, 5973359, A (Fuji Electric Co., Ltd.) 26. 10月. 1999 (26. 10. 99) 第4欄第53行-第5欄第63行, 第1図 & JP, 11-145466, A	6
Y	EP, 322860, A (FUJI ELECTRIC CO., LTD.) 5. 7月. 1989 (05. 07. 89) 第4欄第12 行-第5欄42行 & JP, 1-280359, A & US, 5012313, A	7



(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年9月13日 (13.09.2001)

PCT

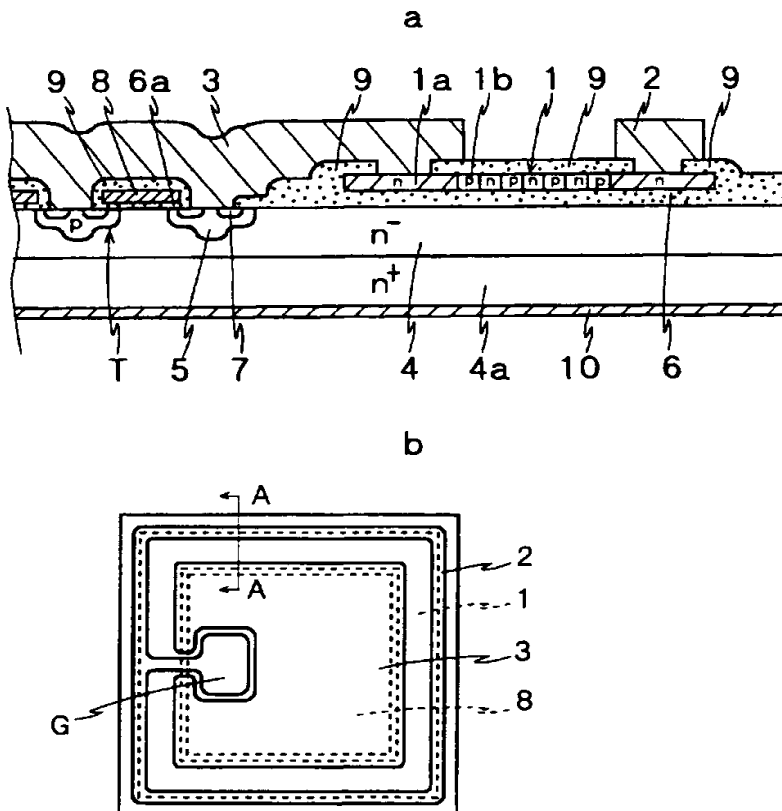
(10) 国際公開番号
WO 01/67520 A1

- (51) 国際特許分類⁷: H01L 29/78 (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒615-8585 京都府京都市右京区西院溝崎町21番地 Kyoto (JP).
- (21) 国際出願番号: PCT/JP01/01672 (72) 発明者: および (75) 発明者/出願人 (米国についてのみ): 東田祥史 (HIGASHIDA, Syouji) [JP/JP], 高石 昌 (TAKAISHI, Masaru) [JP/JP]; 〒615-8585 京都府京都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto (JP).
- (22) 国際出願日: 2001年3月5日 (05.03.2001) (74) 代理人: 河村 洸 (KAWAMURA, Kiyoshi); 〒532-0011 大阪府大阪市淀川区西中島4丁目5番1号 新栄ビル6E 河村特許事務所 Osaka (JP).
- (25) 国際出願の言語: 日本語 (81) 指定国 (国内): US.
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2000-59710 2000年3月6日 (06.03.2000) JP
特願2001-5627 2001年1月12日 (12.01.2001) JP

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device includes a plurality of transistor cells (T) formed on a semiconductor layer (4). P-type rings (1b) and n-type rings (1a) of polysilicon are alternately formed on an insulating layer (6) outside the transistor cells (T) (toward chip edges) to form a protective diode (1). The protective diode (1) has a ringlike gate connection (2) of metal such as aluminum on its outermost side, and a metallic source connection on its innermost side. The protective diode (1) is connected between gate and source. The semiconductor device has a smaller chip size and utilizes vacant chip areas toward the border to form a protective diode that has a sufficiently low series resistance and functions satisfactorily.

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (DE, FR, GB).

添付公開書類:
国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

半導体層(4)に複数個のトランジスタセルTが配列されて形成されている。その複数個のトランジスタセルTより外周側(チップ端部側)の絶縁膜(6)上にポリシリコン膜によるリング状のp形層(1b)とn形層(1a)とが交互に設けられることにより、保護ダイオード(1)が形成されている。この保護ダイオード(1)は、その一番外側の層に、Alなどの金属膜からなるゲート配線(2)がリング状に設けられてコンタクトされ、一番内側の層に、金属膜からなるソース配線がコンタクトされることにより、ゲートとソース間に接続されている。その結果、チップ面積を大きくすることなく、チップの空いている外周部分を利用しながら、直列抵抗が小さく、かつ、十分に保護機能を果たすことができる保護ダイオードを有する半導体装置が得られる。

明 細 書

半導体装置

5 技術分野

本発明は、MOSFETや絶縁ゲート型バイポーラトランジスタ（IGBT）のゲート・ソース間などに保護ダイオードが接続されるような半導体装置に関する。さらに詳しくは、チップ面積を大きくすることなく、保護ダイオードの挿入抵抗を小さくし、静電破壊耐量を大きくすることができる半導体装置に関する。

背景技術

従来、たとえば縦型MOSFETは、スイッチングスピードが速く、大出力のスイッチングデバイスとして用いられているが、ゲート絶縁膜を薄膜化することにより、ゲートしきい値電圧を下げる方向にある。この絶縁膜が薄くなると静電気などの小さなエネルギーでも容易に絶縁破壊する。そのため、ゲート・ソース間に保護ダイオードを挿入して、その保護ダイオードで静電気を放電させる構造が用いられている。この保護ダイオードは、たとえばポリシリコン膜からなるゲート電極パッドの外周部分にpn接合が形成されて双方向のツェナーダイオードとされ、ゲートとソースとの間に接続されるもので、このような保護ダイオードが設けられる構造の縦型MOSFETの一例が図9（a）に断面図で示されている。

すなわち、たとえばn⁺形の半導体基板21a上に、ドレイン領域とするn形の半導体層（エピタキシャル成長層）21がエピタキシャル成長され、その表面側にp形不純物を拡散することによりp形のボディ領域

22が形成され、そのボディ領域22の外周部に n^+ 形のソース領域23が形成されている。ボディ領域22の端部およびその外側に位置する半導体層21の表面側にゲート酸化膜24を介してゲート電極25が設けられている。そして、ソース領域23と接続するように層間絶縁膜26
5 に設けられるコンタクト孔を介してA1などによりソース電極（ソース配線）27が形成され、半導体基板21aの裏面に図示しないドレイン電極が形成されることにより、FET部20が形成されている。

このボディ領域22が図9（b）に平面図で示されるように、マトリクス状に形成され、トランジスタセルが複数個形成されることにより、
10 大電流に対応するパワーMOSFETが形成されている。

また、保護ダイオード部30は、 n 形半導体層21にボディ領域22と同様に拡散により形成された p 形領域31の表面に絶縁膜32を介してポリシリコン膜からなるゲート電極パッド33が形成され、図10（a）にゲート電極パッド33の平面説明図が示されるように、そのゲート電極パッド33の外周部に n 形層33aと p 形層33bとが、交互に
15 形成されることにより、 $npnpn$ の接続構造として最外周の n 形層33aが前述のソース電極27と接続されている。その結果、図10（b）に等価回路図が示されるように、FETのゲートGとソースS間に双方向のツェナーダイオードZDからなる保護ダイオード30が形成され
20 ている。なお、図9において、35はポリシリコンからなるゲート電極パッド33と接続して形成されたA1などの金属からなるボンディング用のゲート電極パッドおよびゲート配線である。

前述のように、従来の保護ダイオード部は、ポリシリコンからなるゲート電極パッドの外周部に設けられる構造になっている。ゲート電極パッドの外周部に設けられる構造では、保護ダイオード部の接合面積（ p
25 n 接合方向に直角な方向の長さで、ゲート電極パッドの外周長さ）を充

分に大きくすることができない。そのため、保護ダイオード部の直列抵抗が増大して十分に耐圧を向上させることができず、ゲート電極パッドを大きくすると、トランジスタセルの部分が狭くなって特性が低下するか、チップ面積を大きくしなければならないという問題がある。

- 5 本発明は、このような問題を解決するためになされたもので、チップ面積を大きくすることなく、チップの空いている外周部分を利用しながら、直列抵抗が小さく、かつ、十分に保護機能を果たすことができる保護ダイオードを有する半導体装置を提供することを目的とする。

- 10 本発明の他の目的は、前述のチップ外周部に保護ダイオードを設けることを利用して、トランジスタセル群の中にゲートフィンガなどを設けなくても、全体のトランジスタセルに低抵抗の配線を介して信号を伝達し得る構造の半導体装置を提供することにある。

- 15 本発明のさらに他の目的は、保護ダイオードの部分的破壊による破壊を防止することにより、またはその材料の選択もしくは接合面積を大きくして直列抵抗を小さくすることにより、破壊耐量を向上させることができる保護ダイオードを有する半導体装置を提供することにある。

本発明のさらに他の目的は、トランジスタセル群の最外周セルの耐圧を向上させる構造の半導体装置を提供することにある。

20 発明の開示

- 本発明者らは、縦型MOSFETなどのサージなどに対する破壊耐量を向上させるため、鋭意検討を重ねた結果、ゲート・ソース間にツェナーダイオードなどの保護ダイオードを挿入しても、そのゲート・ソース間の直列抵抗が大きくなると、保護ダイオードを介して放電する前に、
25 ゲート絶縁膜が破壊して、十分にその機能を果たし得ないことを見出した。そして、できるだけ幅広く（pn接合方向に対して直角方向の長さ

を長く) 形成すると共に、その接続構造も半導体層などを介さないで、直接金属配線により接続し、抵抗成分をもたせない構造にすることにより、始めて破壊耐量を向上させることができることを見出した。

本発明による半導体装置は、半導体層に並列接続された複数個のトランジスタセルが配列されることにより形成される絶縁ゲート電界効果トランジスタと、該トランジスタのゲートおよびソース間に接続され、該ゲートおよびソース間に印加される一定電圧以上の入力をブレイクダウンさせる保護ダイオードとを有する半導体装置であって、前記保護ダイオードが、前記配列されるトランジスタセルより外周側の絶縁膜上にリング状のp形層とn形層とが平面的に交互に設けられることにより双向ダイオードとして形成され、かつ、前記p形層またはn形層の最内周および最外周の層にリング状にコンタクトする金属膜がそれぞれ設けられ、該リング状にコンタクトする金属膜のそれぞれが金属膜からなるソース配線およびゲート電極パッドのいずれかと連続的に形成されている。ここにリング状にコンタクトするとは、リング状に設けられるp形層またはn形層の全周に沿って連続的または間欠的にコンタクトすることを意味する。

この構造にすることにより、配列されるトランジスタセルの外周側は、半導体チップの外周部になり、半導体チップには、通常セル活性領域の周囲またはチップの外周部には空乏層の終端部を確保するためのスペース(フィールド部)があり、そのスペース部分の絶縁膜上に保護ダイオードが形成されている。そのため、チップ面積を大きくすることなく、従来の空きスペースを利用して保護ダイオードが形成されている。

しかも、チップの外周部にリング状に保護ダイオードが形成されることにより、その周長(pn接合方向に直角の方向の長さ、すなわちpn接合面積)はチップサイズに対してほぼ最大に形成され、pn接合方向

の直列抵抗を非常に小さくすることができる。さらに、その保護ダイオードの最内周および最外周の半導体層にリング状金属膜がコンタクトされると共に、最内周および最外周のリング状金属膜にゲート電極パッドおよびソース配線のいずれか一方が一体的に接続されていることにより

5、保護ダイオード両端の接続部に半導体の拡散領域やポリシリコン膜などを使用していないため、非常に低抵抗になっている。その結果、チップ面積を大きくすることなく、非常に破壊耐量に優れた保護ダイオードを内蔵し、静電気などに対する十分な保護をすることができる。

前記最外周の層とコンタクトして設けられるリング状金属膜が、前記

10 ゲート電極パッドと連続的に形成されるゲート配線であり、前記最内周の層とコンタクトして設けられる金属膜が前記ソース配線であることにより、リング状金属膜、ゲート電極パッド、およびソース配線を1層で同時に形成することができ、簡単に形成することができる。

前記最外周の層とコンタクトして設けられるゲート配線に、部分的に

15 前記保護ダイオードを跨いでトランジスタセルのゲート電極と接続されるようにゲート接続部が形成され、該ゲート接続部と前記ソース配線の前記最内周の層とコンタクトするソース接続部とが、平面的に交互に形成されていることにより、チップの外周部から金属配線により各セルのゲート電極と接続しているため、ゲート電極パッドから遠い位置にある

20 セルでも、ポリシリコンの抵抗層をそれほど多く経由することがなくなり、ゲートフィンガなどを設けなくても、減衰や時間遅れなく信号をチップ内の全てのセルに伝達することができる。

前記p形層およびn形層は、ポリシリコン、非晶質シリコン、絶縁膜上のシリコン単結晶、SiC、およびSiGeのいずれかにより形成さ

25 れる。とくに、SiCからなれば、抵抗値がSiの1/10程度と小さく好ましい。

前記 p 形層および n 形層は、それぞれの同じ導電形層同士で幅および不純物濃度がほぼ一定になるように形成されることにより、p 形層や n 形層が複数層からなる場合に、サージなどの大きな電力が入っても、全体の層に均等に分散して特定の層にその電力が集中することないため、

5 全体として破壊耐量が向上し好ましい。

前記配列されるトランジスタセルの前記保護ダイオードに一番近い側に半導体基板と異なる導電形の拡散領域が形成され、前記保護ダイオードの最内周の層にコンタクトされる前記ソース配線が、該拡散領域にもコンタクトされていることにより、フィールドプレートとなって、一層

10 トランジスタの耐圧が向上する。

本発明による半導体装置の他の形態は、請求項 1 記載の構造で、前記双方向ダイオードを構成する p 形層および n 形層が平面的な配列ではなく、高さ方向に交互に形成されるもので、このような構成にすることにより、pn 接合の接合面積を非常に大きくすることができ、直列抵抗が

15 小さくなり、サージなどの吸収用ダイオードとして確実に作用すると共に、大電流が可能になるため、破壊耐量もより向上する。

図面の簡単な説明

図 1 (a) ~ 1 (b) は、本発明の半導体装置の一実施形態である縦型 MOSFET の断面および平面の説明図である。

20

図 2 は、図 1 の縦型 MOSFET の変形例を示す断面説明図である。

図 3 (a) ~ 3 (e) は、図 2 の例の製造工程を説明する図である。

図 4 は、図 1 に示される例で、最外周のゲート配線をセルのゲート電極と接続した例のゲート配線およびソース配線のパターンを示す説明図

25 である。

図 5 は、図 1 (a) ~ 1 (b) に示される例の変形例を示す図 1 (a)

）と同様の断面説明図である。

図 6 は、図 1（a）に示される例の他の変形例を示す図 1 と同様の部分的断面説明図である。

図 7 は、本発明の他の実施形態を示す図 1（a）と同様の断面説明図
5 である。

図 8（a）～8（b）は、保護ダイオードの接続が、半導体層の拡散領域を介して行われる場合の問題を説明する図である。

図 9（a）～9（b）は、従来の保護ダイオードが設けられた縦型 MOSFET の断面および平面の説明図である。

10 図 10（a）～10（b）は、図 9（a）の保護ダイオードが設けられた電極パッドの説明図である。

発明を実施するための最良の形態

つぎに、図面を参照しながら本発明の半導体装置について説明をする
15 。本発明による半導体装置は、図 1 にその一実施形態である縦型 MOSFET のチップ外周部の断面説明図（図 1（b）の A-A 断面）とチップ全体の平面説明図が示されるように、半導体層 4 に複数個のトランジスタセル T が配列されて形成されている。そして、その配列される複数個のトランジスタセル T より外周側（チップ端部側）の絶縁膜 6 上にポ
20 リシリコン膜が設けられ、そのポリシリコン膜にリング状の p 形層 1 b と n 形層 1 a とが平面的に交互に形成されることにより、保護ダイオード 1 が形成されている。この保護ダイオード 1 は、その一番外側の層に、A 1 などの金属膜からなり、ゲート電極パッドと連続的に形成されるゲート配線 2 がリング状に設けられてコンタクトされ、一番内側の層に
25 、金属膜からなるソース配線 3 がコンタクトされることにより、ゲートとソース間に接続されていることに特徴がある。

前述のように、本発明者らは、縦型MOSFETなどのゲート・ソース間に、サージなどに対する保護ダイオードをただ挿入しても、所望の破壊耐量が得られず、さらなる耐量の向上を図るため鋭意検討を重ねた結果、ゲート・ソース間にツェナーダイオードなどの保護ダイオードを挿入する場合に、そのゲート・ソース間の直列抵抗が大きくなると、保護ダイオードを介して放電する前に、ゲート絶縁膜が破壊して、充分にその機能を果たし得ないことを見出した。すなわち、保護ダイオード自身にも直列抵抗を有し、またその接続に半導体層の拡散領域などを介して接続すると、その抵抗分が影響し、その抵抗分により保護ダイオードが十分に機能する前に縦型MOSFETが破損することを見出した。

たとえば、保護ダイオードの抵抗分としては、保護ダイオード1を構成するポリシリコン膜への不純物濃度や長さ（pn接合方向の長さ；pn接合面と直角方向の長さ）、その幅（pn接合方向に対して直角方向の長さ；pn接合の面積）により大きく影響を受けることが判明した。ポリシリコン膜への不純物濃度やその長さ（pn接合方向の長さ）は、保護ダイオードをブレイクダウンさせる電圧にも影響するため、抵抗値を下げる方向のみで設定することはできないが、その幅（pn接合方向に対して直角方向の長さ）は、ブレイクダウン電圧とは関係なく抵抗のみに影響し、できるだけ大きくすることにより、すなわちpn接合のリングが大きくなるチップの外周部に形成されることにより、その直列抵抗を下げるができる。

また、同じチップの外周部に保護ダイオード30を形成しても、たとえば図8（a）に示されるように、チップの端部側にソース配線27aが形成されると、ソース配線27aを半導体層の表面に形成されたpウェル31を介して接続しないと、金属膜からなるゲート配線35やゲート電極パッドと同時に形成することができないが、このpウェル31の

ような拡散領域を経路とすると、拡散領域のシート抵抗は、たとえば $200\ \Omega/\square$ ($100\sim1000\ \Omega/\square$) 程度であり、ソース・ゲート間の配線抵抗 R は、拡散領域 31 の接続方向の長さ (図 8 (a) 参照) を $100\ \mu\text{m}$ 、チップ周囲の長さを $1\text{mm}\times4=4\text{mm}$ 、とすると、 $R=$
5 $100\ \mu\text{m}/4\text{mm}\times200\ \Omega/\square=5\ \Omega$ ($2.5\sim25\ \Omega$) となる。

すなわち、図 8 (b) に等価回路図が示されるように、抵抗 $R=5\ \Omega$ 程度が直列に接続された構造になる。この状態で静電破壊耐量を上げるためには、保護ダイオードのブレークダウン後の抵抗値を $10\ \Omega$ 程度まで下げなければならず、ブレークダウン電圧に必要な不純物濃度との関係で、不可能に近くなる。そのため、このような拡散領域を保護ダイオードの接続構造の一部に用いることはできず、抵抗の小さい配線を用いる必要があることを見出した。

10

本発明による保護ダイオード 1 は、図 1 (b) にゲート配線 2 とソース配線 3 の A1 パターンが形成された平面説明図が示されるように、半
15 導体チップの外周部にリング状に形成されている。図 1 に示される縦型 MOSFET では、この保護ダイオード 1 の内周側には、図 1 (a) に一部が示されているように、たとえば p 形のボディ領域 5 で示されるトランジスタセルがマトリクス状に形成されている。したがって、そのセル活性領域上には設けられないが、セル活性領域 (ソース配線 3 が形成
20 された領域) の外周側には、各セル部での空乏層をできるだけセルから離れた部分で終端させるように、半導体チップの外周部にはある程度のスペース (フィールド部) が確保されている。このフィールド部の SiO_2 などからなる絶縁膜 (フィールド酸化膜) 6 上に、たとえばポリシリコンからなるゲート電極パッドやセル部のゲート電極 8 を形成するの
25 と同時にポリシリコン膜が成膜され、パターニングされると共に、不純物を導入して n 形層 1a と p 形層 1b とが交互に配列され、pn 接合部

が横方向に複数組直列に形成されている。

前述のポリシリコン膜は、たとえば $0.5\text{ }\mu\text{m}$ 程度の厚さに成膜され、たとえば $4\text{ }\mu\text{m}$ 程度の幅でn形層1aと、p形層1bが交互にリング状に形成されることにより構成されている。このn形層1aおよびp形層1bの不純物濃度は、たとえばそれぞれ $5\times 10^{20}\text{ cm}^{-3}$ 、 $7\times 10^{17}\text{ cm}^{-3}$ 程度に形成され、この不純物濃度とpn接合の数により、所望のブレークダウン電圧が得られるように設定される。n形層1aと、p形層1bとにより保護ダイオード1を形成する方法は、たとえばポリシリコン膜にp形ドーパントが全面にドーピングされた後に、パターニングによりリング状にn形ドーパントが、前述の不純物濃度になるようにドーピングされることにより、n形層1aとp形層1bとが平面的に交互に繰り返されるようにドーピングされて、双方向のツェナーダイオードが形成される。

この保護ダイオード1のブレークダウン電圧は、前述のように、その不純物濃度を調整することにより、ある程度は調整することができ、通常は1個のダイオードで $5\sim 10\text{ V}$ 程度になるようにその不純物濃度が設定されている。そして、たとえば $3\sim 4$ 個程度のpn接合部を形成して $20\sim 30\text{ V}$ 程度でブレークダウンするような保護ダイオード1が形成される。

この保護ダイオード1の最外周のn形層1aには、ゲート配線2がコンタクトされている。すなわち、図1(a)に示されるように、たとえばポリシリコンからなる保護ダイオード1およびトランジスタセルのゲート電極8が形成された後、層間絶縁膜9が設けられ、保護ダイオード1の最外周および最内周にコンタクト孔が開けられ、全面に成膜されたA1膜をパターニングすることにより、図1(b)に示されるように、ゲート電極パッドGと連続して設けられるゲート配線2とソース配線3

が金属膜により形成されている。その結果、保護ダイオード1は共に金属膜配線によりゲートとソースとの間に接続された構造になっている。

トランジスタのセル部は、図1(a)に一部が示されるように、たとえば300 μm 程度の厚さの n^+ 形半導体基板4a上に比抵抗が0.1 $\Omega \cdot \text{cm}$ ~数十 $\Omega \cdot \text{cm}$ 程度で、厚さが数 μm ~数十 μm 程度にエピタキシャル成長された n^- 形のエピタキシャル成長層4の表面側にp形ドーパントが導入されてボディ領域5がマトリクス状に設けられ、そのボディ領域5の外周部にn形不純物が導入されてソース領域7が形成され、ソース領域7と n^- 形半導体層4とで挟まれるボディ領域5の周辺のチャネル領域上にゲート酸化膜6aを介してゲート電極8が設けられることにより形成されている。このボディ領域5が、前述のようにマトリクス状に設けられ、トランジスタセルが多数個並列接続され、大電流が得られる縦型MOSFETになっている。

なお、ゲート電極8は、前述のように保護ダイオード部1と同時にポリシリコン膜を成膜してパターニングし、1種類のドーパントをドーピングすることにより形成される。このゲート電極8上に層間絶縁膜9が設けられ、さらにコンタクト孔が開けられ、前述のように、Alなどが真空蒸着などにより設けられることにより、ソース配線3が各トランジスタのソース領域7と接続して形成される。また、半導体基板4a(図面では他の部分に比して薄く書かれている)の裏面には、同様に電極メタルの蒸着などによりドレイン電極10が形成される。

本発明の半導体装置は、このような構造になっているため、保護ダイオード1は、その面積に相当するpn接合方向と直角方向の長さ(pn接合面積)が半導体チップの外周の長さでほぼ最大の大きさに形成されており、しかもその両端部はAlなどの金属膜によりゲートおよびソースと直接接続されている。そのため、ゲート・ソース間の直列抵抗を非

常に小さくすることができる。すなわち、金属膜による配線の抵抗は、殆ど0にすることができる。その結果、ブレークダウン電圧を得るための所望の不純物濃度（不純物濃度を低くすることにより空乏層の広がりが大きくなりブレークダウン電圧が高くなる）にしても、その挿入抵抗を十分に抑えることができ、十分に静電破壊耐量を上げることができ、従来の120V程度の破壊耐量を1000V程度に向上させることができた。

さらに、本発明によれば、空乏層の広がりのため、素子形成をすることができない半導体チップ周囲のフィールド部を利用して保護ダイオードが形成されているため、半導体チップ面積を大きくする必要がない。さらに、ゲート配線が保護ダイオードの最外周の層とコンタクトされているため、ゲート配線とソース配線とを同時に形成することができ、製造工程を増やすことなく効果的な保護ダイオードを形成することができる。その結果、使用目的に応じたブレークダウン電圧を設定しながら、それ以上の静電気やサージなどの印加に対してゲート絶縁膜などの破壊しやすい部分を確実に保護することができる。

前述の例は、トランジスタセルが半導体チップの端部側まで形成されていたが、図2に図1(a)と同様の断面説明図が示されるように、一番端部側には、トランジスタセルを形成しないで、ボディ領域と同じ p^+ 形領域11のみを形成しておき、その拡散領域11にもソース配線3をコンタクトさせておくことにより、空乏層の曲率をかせぐことができ、電界集中を避けることができるため、より一層耐圧が向上する。なお、図2において、図1と同じ部分には同じ符号を付してその説明を省略する。

つぎに、図2に示される構造の半導体装置の製法を説明する。まず、図3(a)に示されるように、ドレインとなる n^+ 形シリコン基板4aに

比抵抗が $0.1 \sim 数十 \Omega \cdot \text{cm}$ 、厚さが数 $\mu\text{m} \sim 数十 \mu\text{m}$ のn形エピタキシャル成長層4を成長する。そして、数百nm程度の酸化膜6を形成し、ボディ領域5およびp⁺形拡散領域11を形成する部分が開口するようにエッチングをし、スルーオキサイド膜16を形成する。その後、p形ドープアントであるボロン(B)をイオン注入し、熱処理を行って拡散することにより、p形のボディ領域5およびp⁺形拡散領域11を形成する。

つぎに、図3(b)に示されるように、活性領域となるセル領域の酸化膜を除去し、ゲート酸化膜6aを形成しゲート電極となるポリシリコン膜8aを成膜する。そして、所望の耐圧の保護ダイオードが得られるような濃度に、たとえばボロン(B)イオンのp形イオンを注入する。

つぎに、図3(c)に示されるように、セル部を形成するため、ゲート電極8が形成されるようにポリシリコン膜8aをパターニングし、ついでそのゲート電極8をマスクとして、たとえばボロンイオンのp形ドープアントをイオン注入し、熱拡散をすることによりチャネル領域5aを形成する。なお、このイオン注入の際、保護ダイオード部のポリシリコン膜8aにもイオン注入される。このイオン注入の濃度が極端に低い場合は問題ないが、たとえばこのイオン注入がドーズ量 10^{13}cm^{-2} あたりであれば、最初のp形イオン注入と、このチャネル形成のp形イオン注入を合計した濃度で保護ダイオード1の耐圧をコントロールする。

その後、図3(d)に示されるようなマスク17をホトレジストにより形成し、リン(P)などのn形イオンを注入し、アニール処理により、ソース領域7を形成する。この際、拡散領域11部にはn形イオンが注入されないようにマスク17で覆うと共に、保護ダイオード部にも、同時に図3(d)に示されるようなマスク17を形成し、同じn形イオンを注入してアニール処理をすることにより、n形層1aとp形層1b

からなるpn接合の保護ダイオード1を形成する。

その後、図3(e)に示されるように、常圧CVD法により、たとえばPSGからなる層間絶縁膜9を堆積する。そして、パターニングをしてコンタクトホールを形成し、Alなどを蒸着してパターニングをすることにより、金属膜からなるゲート配線2、ゲート電極パッドGおよびソース配線3を形成することにより、図1に示される構造の縦型MOSFETを形成することができる。この際、ゲート配線2は、図1(b)に示されるように、ゲート電極パッドGと連続すると共に、保護ダイオード1の最外層よりも外側まで覆うように、パターニングされて形成される。

前述の例では、保護ダイオードの最内周の層をソース電極と接続し、最外周の層を、ゲート電極パッドと接続して外周側に設けられた金属膜と接続する構造になっている。一方、ゲート電極パッドから遠い位置にあるセルはポリシリコンを介して各セルのゲート電極に接続されているため、抵抗成分が大きくなり信号伝達が遅れる。その問題を解決するため、一部セル列の間に金属膜からなるゲートフィンガと称されるものを設ける構造が採られる場合があるが、ゲートフィンガを設けるとセルの数が減るという問題がある。しかし、本発明のチップ外周にゲート電極パッドと接続された金属膜が形成される構造にすることにより、その金属膜からセル群の外周側のセルに接続することができ、ゲート電極パッドから遠いセルのゲート電極でもチップ外周の金属膜を介して接続をすることができ、セル群全体への信号伝達を早くすることができる。

すなわち、図4に最外周のゲート配線2とソース配線3部の一部の平面説明図が示されるように、ソース配線3と保護ダイオード1の最内周の層との接続部3aと、ゲート配線2の各セルのゲート電極との接続部2aとが交互に形成され、図4に示されるように、クシ歯が噛み合うよ

うに形成されることにより、セル群の外周側セルにもゲート電極パッドから金属膜を介して接続することができる。

前述の各例では、保護ダイオードの最内周と最外周とをA1などの金属電極膜でコンタクトさせるのに、最内周のn形層またはp形層をソース配線と、最外周のn形層またはp形層をゲート電極パッドと直接連続させてコンタクトさせたが、このようにすれば、全ての金属電極膜を一度に成膜してパターニングするだけで形成できるため好ましい。しかし、図5に示されるように、保護ダイオード1の最内周のn形層またはp形層をゲート電極パッド2と、最外周のn形層またはp形層をソース配線3と直接連続させてコンタクトさせてもよい。このようにすると、ソース配線3と最外周のn形層またはp形層にコンタクトする金属配線13とを絶縁膜15を介して、再度設けられる金属配線14により接続する必要があり、製造工程は増える。しかし、保護ダイオード1の両端部を金属配線のみで直接ソース配線3およびゲート電極パッド2と接続することができ、直列抵抗の小さい保護ダイオード1を挿入することができる。

さらに、前述の例では、保護ダイオード1をポリシリコンで形成したが、ポリシリコンでなくてもn形層およびp形層を形成することができるものであればよく、アモルファス（非晶質）シリコン、絶縁膜上に形成される単結晶シリコン、単結晶、多結晶またはアモルファスのSiC、SiGeなどにより形成することもできる。とくに、SiCはシリコンよりも抵抗値が1/10程度と小さいため、とくに直列抵抗を下げるのに効果が大きい。

さらに、前述の例では、保護ダイオード1を構成するn形層1aおよびp形層1bの幅を同じ幅で形成したが、図6に示されるように、n形層1aの幅aとp形層1bの幅bとが異なってもよい。しかし、n

形層 1 a 同士、p 形層 1 b 同士はそれぞれ同じ幅で、同じ不純物濃度に形成されることが好ましい。これは n 形層や p 形層が複数層で形成されると、サージなどが印加された場合に、弱い一層にそのサージが集中して破壊しやすいからである。各層が均等に形成されておれば、印加した
5 サージなどは、各層に分散されるため、破壊耐量が大きくなり好ましい。

前述の各例では、保護ダイオード 1 の n 形層と p 形層とを平面的に並べて p n 接合を形成したが、このような構成にすれば、1 層の半導体層の成膜で、パターニングとドーピングだけにより形成することができる
10 。しかし、図 7 に示されるように、n 形層 1 a および p 形層 1 b を縦方向に積層して形成してもよい。この場合、各層の厚さは、たとえば 0.5 ~ 2 μ m 程度で、n 形層および p 形層の不純物濃度は、前述の例と同程度で、成膜しながらドーピングすることができる。この場合、最下層と最上層は不純物濃度を大きくすることが好ましい。このようにすれば、
15 p n 接合面積を非常に大きくすることができ、直列抵抗が小さく、しかも大電流が可能となり、非常に破壊耐量の大きな保護ダイオード 1 を内蔵することができる。なお、この場合も保護ダイオードの一端側である最下層と他端側である最上層との接続は、それぞれソース配線 3 およびゲート電極パッド 2 と連続的に形成される金属膜によりコンタクトされ
20 る。どちらがソース配線またはゲート電極パッドと接続されるようにしても構わない。

前述の例は、縦型 MOSFET の例であったが、この縦型 MOSFET にさらにバイポーラトランジスタが作り込まれる絶縁ゲート型バイポーラトランジスタ (IGBT) でも同様であり、また、バイポーラトランジスタでもベース・エミッタ間などの破壊を防止するため、電極間に保護ダイオードを接続する場合に、同様にチップの外周側に半導体層の
25

スペースがあり、その上方の絶縁膜上に保護ダイオードを設けることができる。

- 本発明によれば、ポリシリコンからなるゲート電極パッドを大きくすることなく、半導体チップの空きスペースを利用して保護ダイオードが
- 5 形成されると共に、所望のブレイクダウン電圧を確保しながら直列抵抗を小さくしているため、非常に大きな静電破壊耐量を得ることができる。その結果、小さな半導体チップでセルが多く高特性で、かつ、静電破壊耐量に強い、非常に信頼性の高い半導体装置が得られる。

10 産業上の利用分野

本発明によれば、静電破壊耐量に強く、大電流のスイッチング素子が得られるため、DVD、ポータブルオーディオ、スイッチング電源などの電源IC、モータドライバ、ソレノイドドライブなどに有効に利用することができる。

請求の範囲

1 半導体層に並列接続された複数個のトランジスタセルが配列されることにより形成される絶縁ゲート電界効果トランジスタと、該トランジスタのゲートおよびソース間に接続され、該ゲートおよびソース間に
5 印加される一定電圧以上の入力をブレイクダウンさせる保護ダイオードとを有する半導体装置であって、前記保護ダイオードが、前記配列されるトランジスタセルより外周側の絶縁膜上にリング状のp形層とn形層とが平面的に交互に設けられることにより双方向ダイオードとして形成され、かつ、前記p形層またはn形層の最内周および最外周の層にリン
10 グ状にコンタクトする金属膜がそれぞれ設けられ、該リング状にコンタクトする金属膜のそれぞれが金属膜からなるソース配線およびゲート電極パッドのいずれかと連続的に形成されてなる半導体装置。

2 前記最外周の層とコンタクトして設けられるリング状金属膜が、前記ゲート電極パッドと連続的に形成されるゲート配線であり、前記最
15 内周の層とコンタクトして設けられる金属膜が前記ソース配線である請求項1記載の半導体装置。

3 前記最外周の層とコンタクトして設けられるゲート配線に、部分的に前記保護ダイオードを跨いでトランジスタセルのゲート電極と接続されるようにゲート接続部が形成され、該ゲート接続部と前記ソース配
20 線の前記最内周の層とコンタクトするソース接続部とが、平面的に交互に形成されてなる請求項2記載半導体装置。

4 前記p形層およびn形層がポリシリコン、非晶質シリコン、絶縁膜上のシリコン単結晶、SiC、およびSiGeのいずれかからなる請求項1、2または3記載の半導体装置。

25 5 前記p形層およびn形層は、それぞれの同じ導電形層同士で幅および不純物濃度がほぼ一定になるように形成されてなる請求項1ないし

4のいずれか1項記載の半導体装置。

- 6 前記配列されるトランジスタセルの前記保護ダイオードに一番近い側に半導体基板と異なる導電形の拡散領域が形成され、前記保護ダイオードの最内周の層にコンタクトされる前記ソース配線が、該拡散領域にもコンタクトされてなる請求項1ないし5のいずれか1項記載の半導体装置。

7 請求項1記載の半導体装置において、前記双方向ダイオードを構成するp形層およびn形層が平面的ではなく、高さ方向に交互に形成されてなる半導体装置。



1/8

FIG. 1 (a)

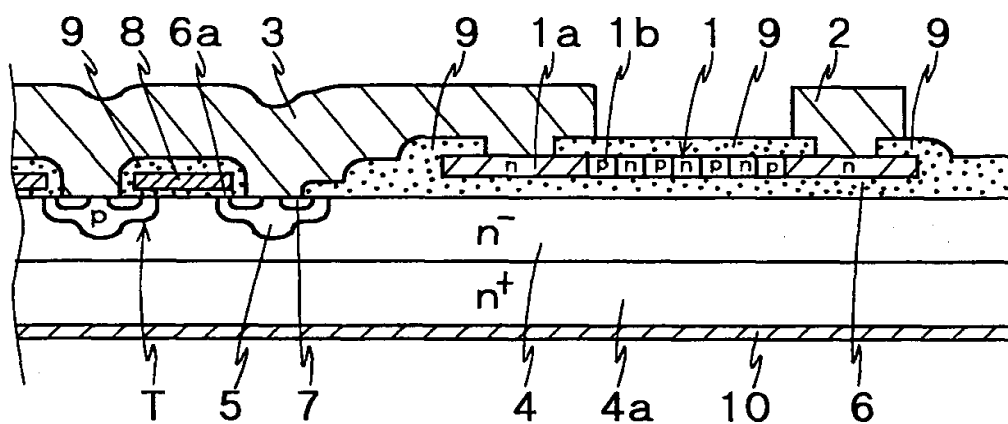


FIG. 1 (b)

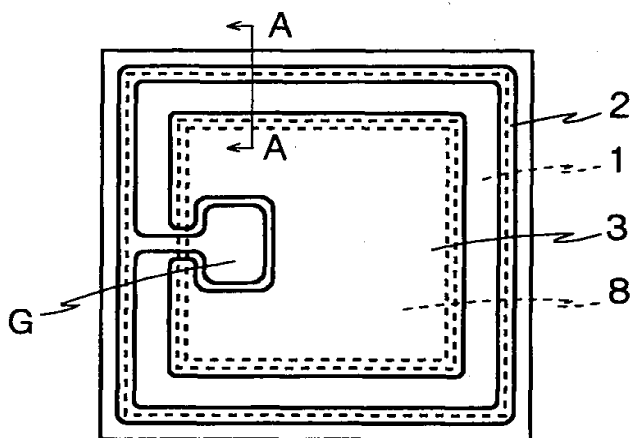
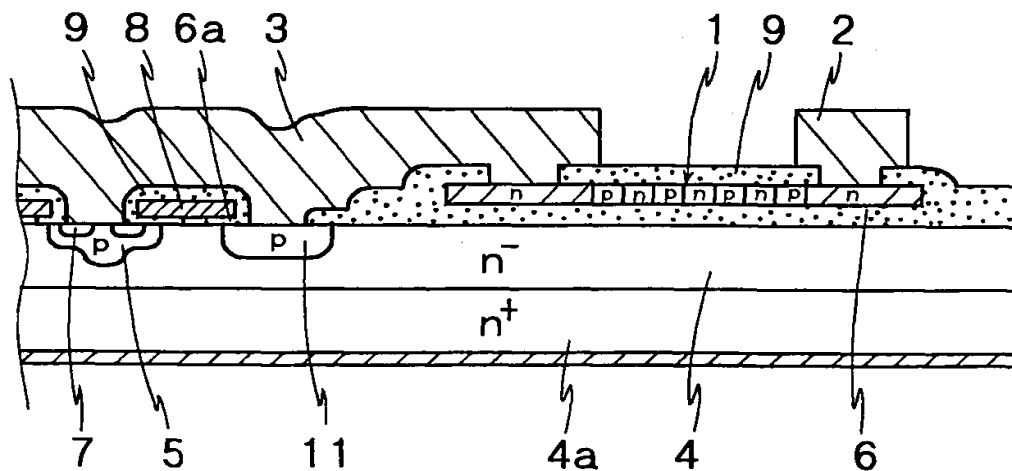


FIG. 2





2 / 8

FIG. 3 (a)

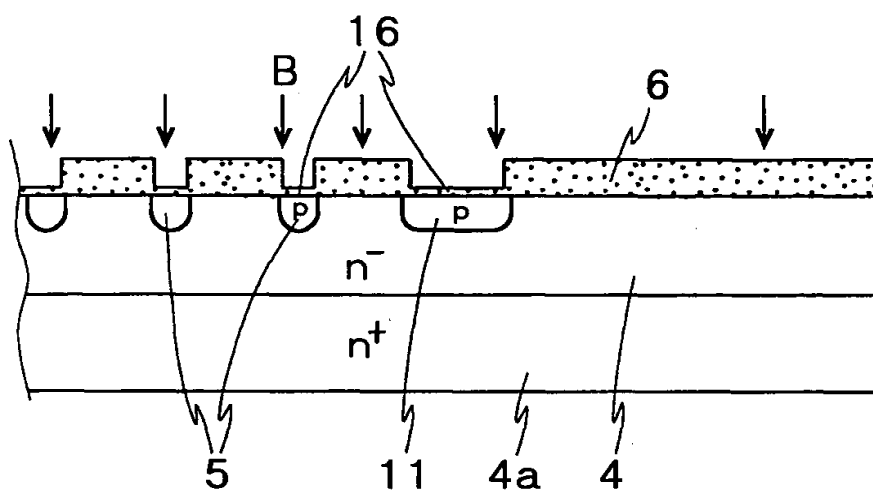


FIG. 3 (b)

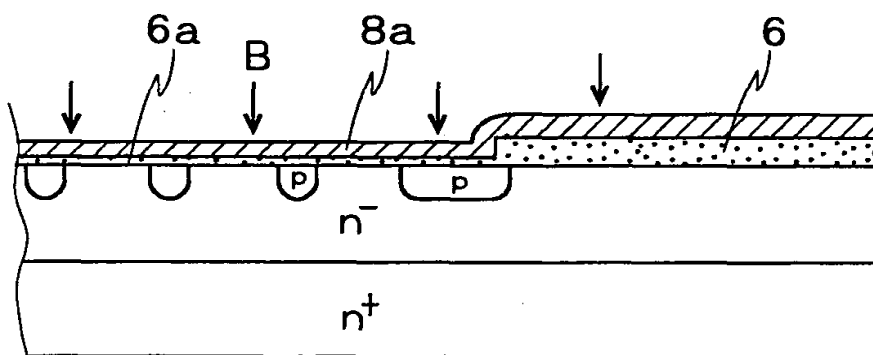
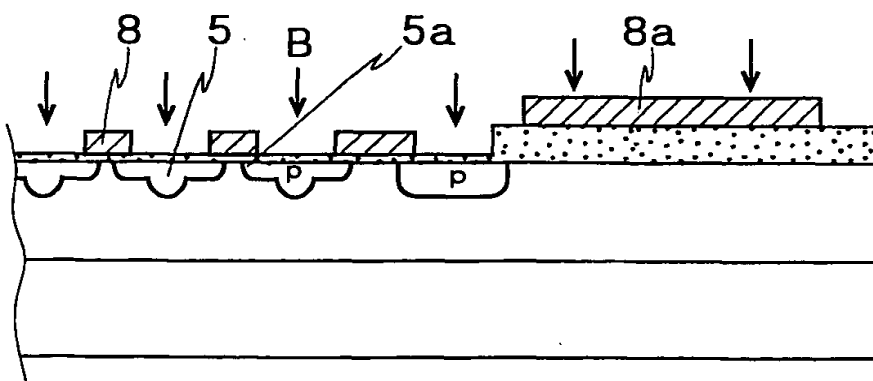


FIG. 3 (c)





3/8

FIG. 3 (d)

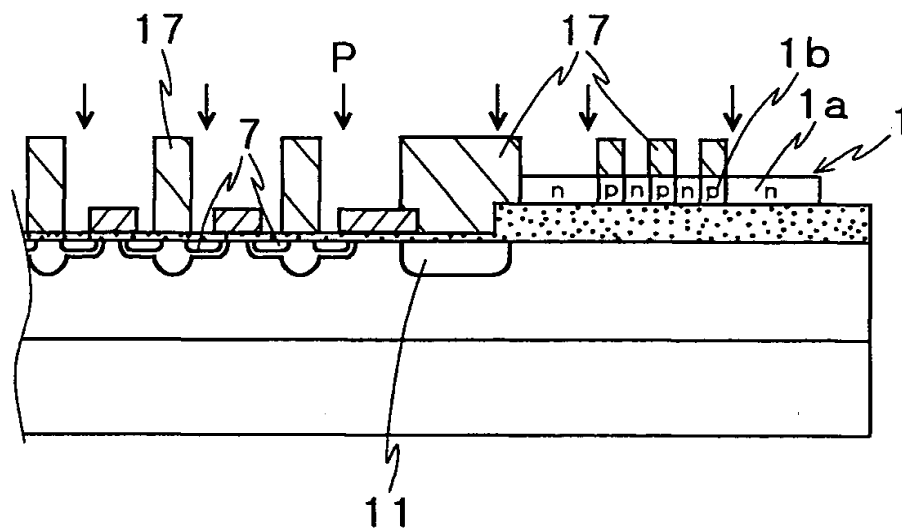
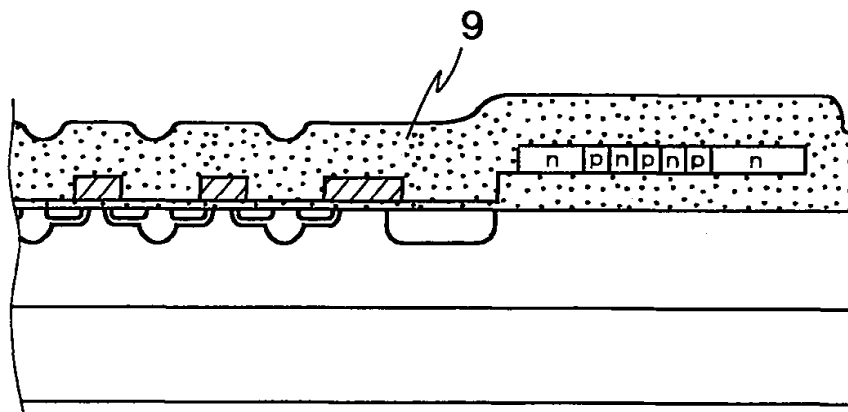


FIG. 3 (e)





4/8

FIG. 4

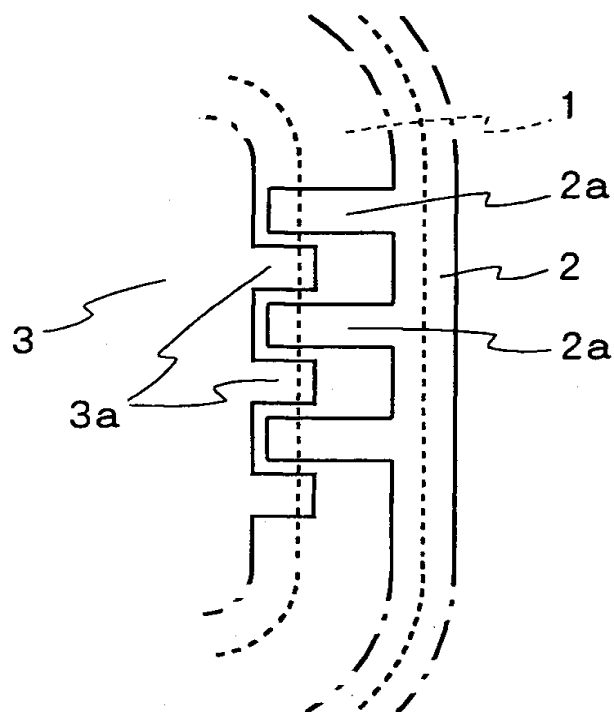
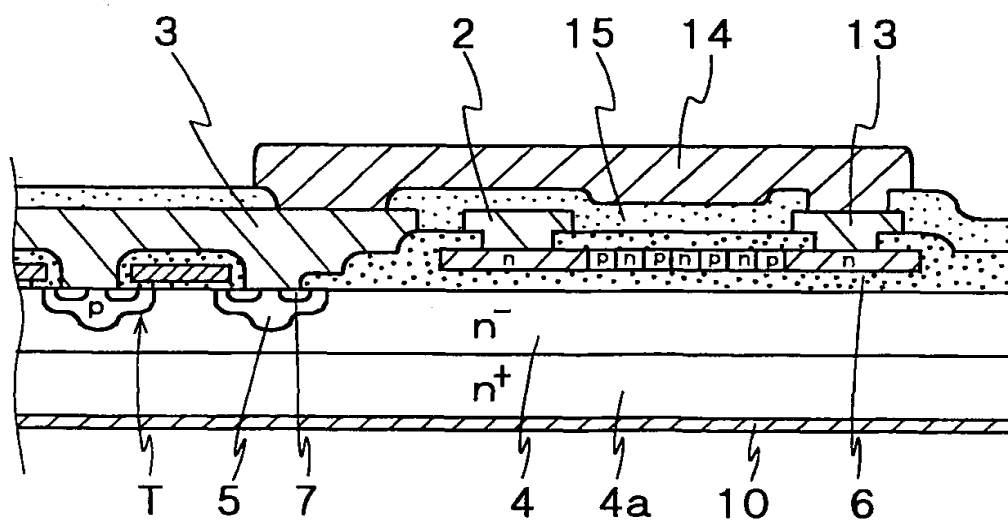


FIG. 5





5/8

FIG. 6

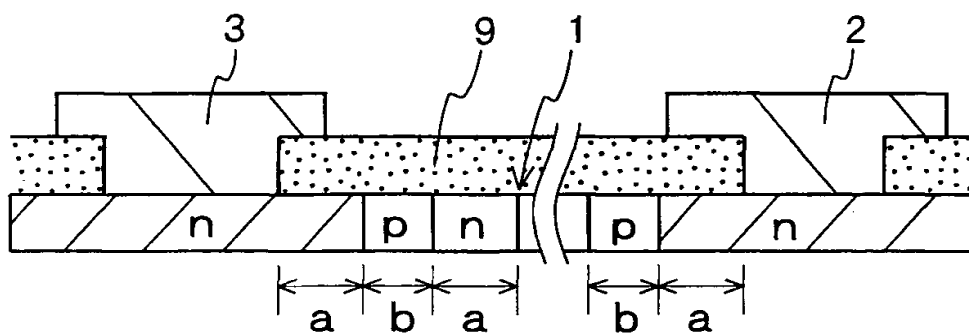
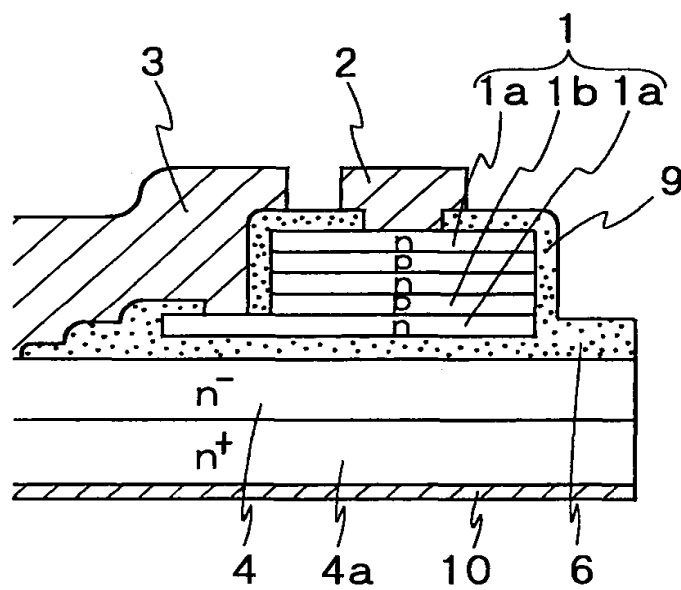


FIG. 7





6 / 8

FIG. 8 (a)

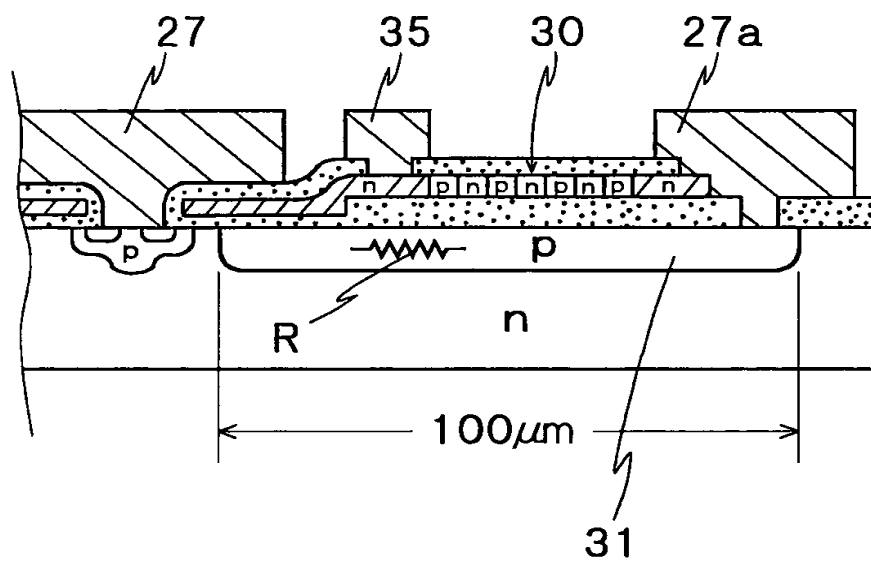
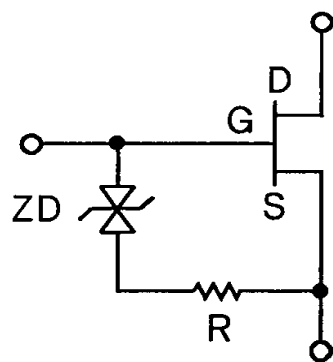


FIG. 8 (b)





7 / 8

FIG. 9 (a)

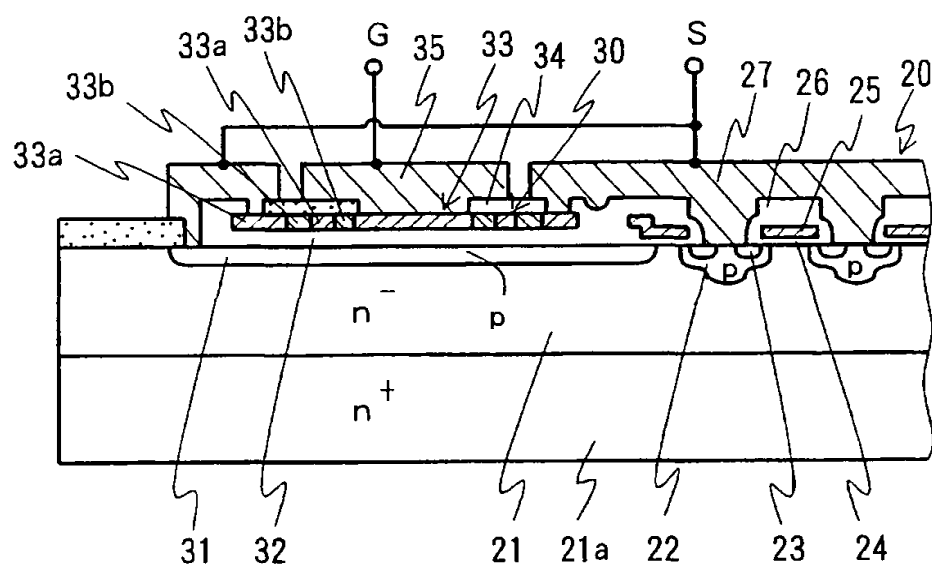
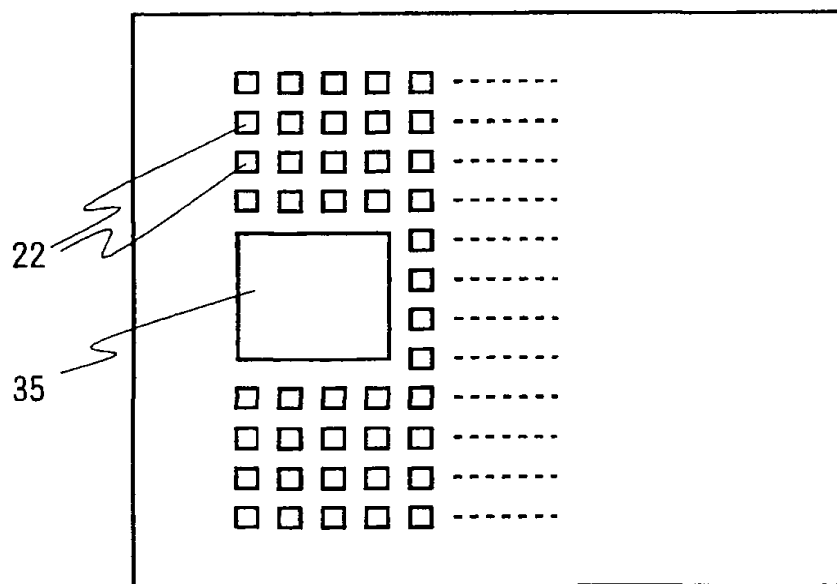


FIG. 9 (b)





8/8

FIG. 10 (a)

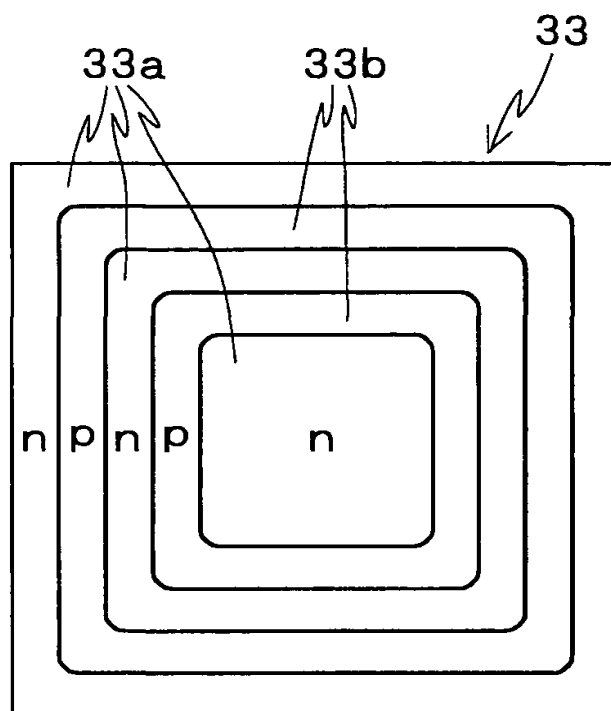
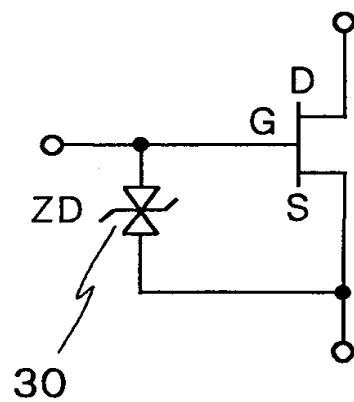


FIG. 10 (b)





INTERNATIONAL SEARCH REPORT

International application No.

T/JP01/01672

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/78, H01L27/04, H01L27/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1972-1996 Toroku Jitsuyo Shinan Koho 1994-2001
 Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 10-144938, A (NEC Corporation), 29 May, 1998 (29.05.98), Full text (Family: none)	1, 2, 4, 5 3, 6, 7
X Y	JP, 5-21721, A (Nissan Motor Co., Ltd.), 29 January, 1993 (29.01.93), Par. Nos. [0003], [0018], [0019] (Family: none)	1, 2, 4, 5 3, 6, 7
X A	JP, 58-84461, A (Hitachi, Ltd.), 20 May, 1983 (20.05.83), Full text (Family: none)	1, 4 2, 3, 5-7
Y	EP, 729186, A (CONSORZIO PER LA RICERCA SULLA MICROELECTTRONICA NEL MEZZOGIORNO), 28 August, 1996 (28.08.96), Full text; Fig. 1 & JP, 8-293606, A & DE, 69509494, C & EP, 780897, A & US, 5798554, A & WO, 99059647, A & EP, 998311, A & US, 6111297, A	3

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 May, 2001 (25.05.01)Date of mailing of the international search report
05 June, 2001 (05.06.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/01672

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US, 5973359, A (Fuji Electric Co., Ltd.), 26 October, 1999 (26.10.99), Column 4, line 53 to Column 5, line 63; Fig. 1 & JP, 11-145466, A	6
Y	EP, 322860, A (FUJI ELECTRIC CO., LTD.), 05 July, 1989 (05.07.89), Column 4, line 12 to Column 5, line 42 & JP, 1-280359, A & US, 5012313, A	7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int cl. H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int cl. H01L29/78, H01L27/04, H01L27/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1972年-1996年
日本国公開実用新案公報	1971年-2001年
日本国登録実用新案公報	1994年-2001年
日本国実用新案登録公報	1996年-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 10-144938, A (日本電気株式会社) 29. 5月. 1998 (29. 05. 98) 全文 (ファミリーなし)	1, 2, 4, 5 3, 6, 7
X Y	JP, 5-21721, A (日産自動車株式会社) 29. 1月. 1 993 (29. 01. 93) 段落番号【0003】【0018】 【0019】 (ファミリーなし)	1, 2, 4, 5 3, 6, 7
X A	JP, 58-84461, A (株式会社日立製作所) 20. 5月. 1983 (20. 05. 83) 全文 (ファミリーなし)	1, 4 2, 3, 5-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

25. 05. 01

国際調査報告の発送日

05.06.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 春香

印

4M

8934

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	EP, 729186, A (CONSORZIO PER LA RICERCA SULLA MICROELECTRONICA NEL MEZZOGIORNO) 28. 8月. 1996 (28. 08. 96) 全文、第1図 & JP, 8-293606, A & DE, 69509494, C & EP, 780897, A & US, 5798554, A & WO, 99/059647, A & EP, 998311, A & US, 6111297, A	3
Y	US, 5973359, A (Fuji Electric Co., Ltd.) 26. 10月. 1999 (26. 10. 99) 第4欄第53行-第5欄第63行, 第1図 & JP, 11-145466, A	6
Y	EP, 322860, A (FUJI ELECTRIC CO., LTD.) 5. 7月. 1989 (05. 07. 89) 第4欄第12 行-第5欄42行 & JP, 1-280359, A & US, 5012313, A	7